

POWERED BY **Dialog**

**SEMICONDUCTOR DEVICE, ITS MANUFACTURE, AND SEMICONDUCTOR LIGHT
EMITTING DEVICE**

Publication Number: 11-126948 (JP 11126948 A) , May 11, 1999

Inventors:

- IKEDA MASAO

Applicants

- SONY CORP

Application Number: 09-293036 (JP 97293036) , October 24, 1997

International Class:

- H01S-003/18
- H01L-033/00

Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which the density of through transfers can be reduced on the entire surface and the film thickness of which can be reduced, a method for manufacturing the device, and a semiconductor light emitting device. **SOLUTION:** After a base layer 3 is formed on a sapphire substrate 1 through a buffer layer 2, a first selectively grown GaN layer 5a is selectively grown on the base layer 3 through a first SiO₂ mask layer 4a having a plurality of openings 4c and a second selectively grown layer 5b is similarly grown in the layer 5a through a second mask layer 4b. At the time of growing the layer 5b, the mask sections 4d of the second mask layer 4 are formed over the openings 4c of the first mask layer 4a. Thereafter, a semiconductor layer composed of a III nitride compound semiconductor is laminated upon the layer 5b. Through transfers in the base layer 3 are interrupted by the first and second mask layers 4a and 4b and not transmitted to the semiconductor layer. **COPYRIGHT:** (C)1999,JPO

JAPIO

© 2002 Japan Patent Information Organization. All rights reserved.

Dialog® File Number 347 Accession Number 6185398

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-126948

(43)公開日 平成11年(1999) 5月11日

(51)Int.Cl.⁶

識別記号

F I

H 0 1 S 3/18

H 0 1 S 3/18

H 0 1 L 33/00

H 0 1 L 33/00

C

審査請求 未請求 請求項の数31 O L (全 11 頁)

(21)出願番号 特願平9-293036

(22)出願日 平成9年(1997)10月24日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 池田 昌夫

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

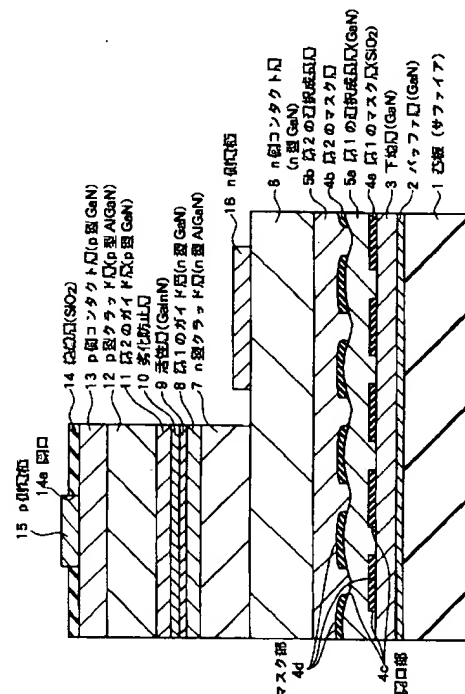
(74)代理人 弁理士 島 祥一郎

(54)【発明の名称】 半導体素子およびその製造方法ならびに半導体発光素子

(57)【要約】

【課題】 貫通転位の密度を全面において低減すると共に、膜厚を薄くすることができる半導体素子およびその製造方法ならびに半導体発光素子を提供する。

【解決手段】 サファイアよりなる基板1の上にバッファ層2を介して下地層3を形成したのち、複数の開口部4cが設けられたSiO₂よりなる第1のマスク層4aを介してGa₂Nよりなる第1の選択成長層5aを選択的に成長させ、その上に同様に第2のマスク層4bを介して第2の選択成長層5bを成長させる。この時、第1のマスク層4aの開口部4cの上方には第2のマスク層4bのマスク部4dを形成する。その後、III族ナイトライド化合物半導体よりなる半導体層を積層する。下地層3における貫通転位は第1のマスク層4aおよび第1のマスク層4bにより遮断され半導体層には伝わらない。



【特許請求の範囲】

【請求項1】 開口部が形成されたマスク層と、このマスク層を介して選択的に成長された半導体よりなる選択成長層とを、それぞれ2層以上交互に備えたことを特徴とする半導体素子。

【請求項2】 前記複数のマスク層のうちの少なくとも1層は、他の少なくとも1層と開口部の形成位置が異なり、積層方向から見て開口部が他の少なくとも1層のマスク部により完全に覆われていることを特徴とする請求項1記載の半導体素子。

【請求項3】 前記マスク層は誘電体よりなることを特徴とする請求項1記載の半導体素子。

【請求項4】 前記マスク層は二酸化ケイ素もしくは窒化ケイ素もしくは酸化アルミニウムよりなることを特徴とする請求項3記載の半導体素子。

【請求項5】 基板の上に前記マスク層と前記選択成長層とを介して積層された半導体層を備えると共に、この半導体層は、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうちの少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体よりなることを特徴とする請求項1記載の半導体素子。

【請求項6】 前記選択成長層はガリウムと窒素とを含むIII族ナイトライド化合物半導体よりなることを特徴とする請求項5記載の半導体素子。

【請求項7】 前記基板はサファイアよりなることを特徴とする請求項5記載の半導体素子。

【請求項8】 前記マスク層は前記基板の上にバッファ層を介して形成されたことを特徴とする請求項7記載の半導体素子。

【請求項9】 前記基板は単結晶のガリウムナイトライドよりなることを特徴とする請求項5記載の半導体素子。

【請求項10】 前記マスク層は前記基板の上に直接形成されたことを特徴とする請求項9記載の半導体素子。

【請求項11】 基板の上に、開口部を有するマスク層と、このマスク層を介して選択的に成長させた半導体よりなる選択成長層とを、それぞれ2層以上交互に積層する工程と、

マスク層と選択成長層とをそれぞれ2層以上積層したのち、その上に半導体層を積層する工程とを含むことを特徴とする半導体素子の製造方法。

【請求項12】 マスク層の形成においては、複数のマスク層のうちの少なくとも1層について、開口部を他の少なくとも1層と異なった位置に形成し、その開口部を積層方向から見て他の少なくとも1層のマスク部により完全に覆うことを特徴とする請求項11記載の半導体素子の製造方法。

【請求項13】 マスク層を誘電体により形成することを特徴とする請求項11記載の半導体素子の製造方法。

【請求項14】 マスク層を二酸化ケイ素もしくは窒化ケイ素もしくは酸化アルミニウムにより形成することを特徴とする請求項13記載の半導体素子の製造方法。

【請求項15】 半導体層を、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうちの少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体により形成することを特徴とする請求項11記載の半導体素子の製造方法。

10 【請求項16】 選択成長層を、ガリウムと窒素とを含むIII族ナイトライド化合物半導体により形成することを特徴とする請求項15記載の半導体素子の製造方法。

【請求項17】 選択成長層を、気相成長法により成長させることを特徴とする請求項11記載の半導体素子の製造方法。

【請求項18】 基板にはサファイアを用いることを特徴とする請求項11記載の半導体素子の製造方法。

20 【請求項19】 基板の上にバッファ層を介してマスク層を形成することを特徴とする請求項18記載の半導体素子の製造方法。

【請求項20】 基板には単結晶のガリウムナイトライドを用いることを特徴とする請求項11記載の半導体素子の製造方法。

【請求項21】 基板の上にマスク層を直接形成することを特徴とする請求項20記載の半導体素子の製造方法。

30 【請求項22】 基板の上に、半導体よりそれぞれなる第1導電型クラッド層、活性層および第2導電型クラッド層が少なくとも順次積層された半導体発光素子であって、基板と第1導電型クラッド層との間に、開口部が形成されたマスク層と、このマスク層を介して選択的に成長された半導体よりなる選択成長層とを、それぞれ2層以上交互に備えたことを特徴とする半導体発光素子。

【請求項23】 複数の前記マスク層のうちの少なくとも1層は、他の少なくとも1層と開口部の形成位置が異なり、積層方向から見て開口部が他の少なくとも1層のマスク部により完全に覆われていることを特徴とする請求項22記載の半導体発光素子。

【請求項24】 前記マスク層は誘電体よりなることを特徴とする請求項22記載の半導体発光素子。

【請求項25】 前記マスク層は二酸化ケイ素もしくは窒化ケイ素もしくは酸化アルミニウムよりなることを特徴とする請求項24記載の半導体発光素子。

50 【請求項26】 前記半導体層は、ガリウム(Ga)、アルミニウム(Al)、ホウ素(B)およびインジウム(In)からなる群のうちの少なくとも1種のIII族元素と窒素(N)とを含むIII族ナイトライド化合物半導体よりなることを特徴とする請求項22記載の半導

体発光素子。

【請求項27】 前記選択成長層はガリウムと窒素とを含むⅢⅢ族ナイトライド化合物半導体よりなることを特徴とする請求項26記載の半導体発光素子。

【請求項28】 前記基板はサファイアよりなることを特徴とする請求項22記載の半導体発光素子。

【請求項29】 前記マスク層は前記基板の上にバッファ層を介して形成されたことを特徴とする請求項28記載の半導体発光素子。

【請求項30】 前記基板は単結晶のガリウムナイトライドよりなることを特徴とする請求項22記載の半導体発光素子。

【請求項31】 前記マスク層は前記基板の上に直接形成されたことを特徴とする請求項30記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ⅢⅢ族ナイトライド化合物半導体などよりなる半導体素子およびその製造方法ならびに半導体発光素子に関する。

【0002】

【従来の技術】近年、AlGaInNなどのⅢⅢ族ナイトライド化合物半導体を用い、可視領域から紫外領域までの発光を得ることができる半導体レーザや発光ダイオード(light emitting diode; LED)などの半導体発光デバイスの開発が活発に行われている。その中でも特に、光記録の分野では、光ディスクなどの記録密度を向上させるために、短波長域の光が得られる半導体レーザの実用化が求められている。

【0003】最近では、AlGaInN系半導体レーザにおいて、サファイアよりなる基板の上にガリウムナイトライド(GaN)よりなるバッファ層を介してⅢⅢ族ナイトライド化合物半導体よりなる層を有機金属気相成長(Metal Organic Chemical Vapor Deposition; MOCVD)法により成長させることにより、室温における300時間の連続発振が達成されている(Jpn. J. Appl. Phys. 35 L74 (1996); 同誌36 L1059 (1997))。しかし、使用による動作電圧の経過曲線を見てみると、通電の初期から緩やかな上昇が見られ、徐々に劣化が進行していることが分かる。この劣化の原因としては、基板の上に形成したⅢⅢ族ナイトライド化合物半導体よりなる層が、 $1 \times 10^8 \sim 1 \times 10^9$ 個/cm²程度の貫通転位(転位欠陥が伝ばんされて結晶中を突きぬける転位)を有していることが考えられる。従って、1万時間以上の実用的寿命を実現するためにはこの貫通転位の密度を低減することが必要であり、種々の検討がなされている。

【0004】例えば、その一つには、サファイア基板の上にバッファ層を介してGaN層を形成し、その上に1～4μm幅の帯状の二酸化ケイ素(SiO₂)よりなる

マスク部を7μmのピッチで形成したマスク層を積層すると共に、このマスク層の上にハライド気相成長法によりGaN層を横方向に選択的に成長させ方法がある(Jpn. J. Appl. Phys. 36 L899 (1997))。この方法によれば、マスク層の上に形成したGaN層における貫通転位の密度を、 1×10^7 個/cm²程度にまで低減することができる。

【0005】

【発明が解決しようとする課題】しかしながら、この方法では、マスク層の上に形成させるGaN層の表面に凹凸が生じやすく、平坦面となりにくい。これは、このGaN層の成長が、まず、マスク層の開口部(すなわち各マスク部の間)で進行して山形の突起ができ、それからマスク部の上(すなわち横方向)に進むからである。よって、表面を平坦面とするには、このGaN層の厚さを少なくとも10μm以上と厚くする必要があった。従って、成長に長時間を要すると共に、サファイアよりなる基板との格子定数の不一致により欠陥や反りが発生するなど種々の問題があった。

【0006】また、この方法では、マスク部の上方においては横方向の選択成長により貫通転位が伝わることを抑制できるが、開口部においてはマスク層の下GaN層からの貫通転位をそのまま引き継ぐことになる。よって、マスク部の上の領域では貫通転位の密度が低減されるが、開口部の上の領域では貫通転位の密度が高くなり、全面的において密度を低減することができなかった。従って、従来の方法では、マスク部の上の領域に正確に発光領域を形成しなければならず、製造における自由度が小さいと共に、製造工程が煩雑となり、製造が困難であるという問題があった。

【0007】なお、マスク層の上にGaN層を選択成長させる技術は、ハライド気相成長法以外でもMOCVD法による報告がある(J. Cryst. Growth 144 133 (1994))。しかし、これはマスク層の上の選択成長に焦点があてられた報告ではない。また、最近では、マスク層の上にMOCVD法により選択成長させる際の異方性を調べた報告もなされている。これによれば、サファイアよりなる基板の上にバッファ層を介してGaN層を形成し、その上に、 $\langle 11-20 \rangle$ 方向に帯状のマスク部を複数形成したマスク層を介してGaN層を形成する場合、ある条件において横方向の成長が助長され、開口部における山形の突起成長が抑制されてC面に近い比較的平坦な成長表面が得られることが報告されている(Appl. Phys. Lett. 71 1204 (1997))。しかし、この報告は転位密度などへの言及はなされておらず、横方向への良好な結晶成長が可能であることを示したにすぎない。

【0008】なお、ここで、 $\langle 11-20 \rangle$ というのは、本来外1に示したように数字の上にオーバーラインを引いて表すものであるが、ここでは便宜上、数字の前に“—”を付けて表す(以下、同様の表現を用いる場合

は同様に表示する)。

【0009】

【外1】

〈1120〉

【0010】本発明はかかる問題点に鑑みてなされたもので、その目的は、貫通転位の密度を全面において低減することができると共に、膜厚を薄くすることができる半導体素子およびその製造方法ならびに半導体発光素子を提供することにある。

【0011】

【課題を解決するための手段】本発明による半導体素子は、開口部が形成されたマスク層と、このマスク層を介して選択的に成長された半導体よりなる選択成長層とを、それぞれ2層以上交互に備えたものである。

【0012】本発明による半導体素子の製造方法は、基板の上に、開口部を有するマスク層と、このマスク層を介して選択的に成長させた半導体よりなる選択成長層とを、それぞれ2層以上交互に積層する工程と、マスク層と選択成長層とをそれぞれ2層以上積層したのち、その上に半導体層を積層する工程とを含むものである。

【0013】本発明による半導体発光素子は、基板の上に、半導体よりそれぞれなる第1導電型クラッド層、活性層および第2導電型クラッド層が少なくとも順次積層されたものであって、基板と第1導電型クラッド層との間に、開口部が形成されたマスク層と、このマスク層を介して選択的に成長された半導体よりなる選択成長層とを、それぞれ2層以上交互に備えたものである。

【0014】本発明による半導体素子では、マスク層と選択成長層とをそれぞれ2層以上交互に備えているので、積層方向に貫通転位が伝わるのが遮断され、貫通転位の密度が低減される。

【0015】本発明による半導体素子の製造方法では、基板の上に、マスク層と選択成長層がそれぞれ2層以上交互に積層され、これにより、積層方向に貫通転位が伝わるのが遮断される。そののち、その上に半導体層が積層される。

【0016】本発明による半導体発光素子では、第1導電型クラッド層と第2導電型クラッド層との間に電圧が印加されると、活性層に電流が注入され発光が起こる。ここでは、基板と第1導電型クラッド層との間に、マスク層と選択成長層とをそれぞれ2層以上交互に備えているので、積層方向に貫通転位が伝わるのが遮断され、第1導電型クラッド層や活性層や第2導電型クラッド層における貫通転位の密度が低減される。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0018】図1は本発明の第1の実施の形態に係る半導体発光素子の構成を表すものである。図2は図1に示した半導体発光素子の一部を拡大して表している。この

半導体発光素子は、例えば、サファイアよりなる基板1のC面上に、積層方向における厚さ(以下、単に厚さという)30nmのGaNよりなるバッファ層2を介して、厚さ2 μ mのGaNよりなる下地層3が積層されている。ここで、バッファ層2は低温で成長させた非晶質に近い結晶層よりなり、下地層3を成長させる際の核となるものである。下地層3は結晶よりなり、図2において細線で示したように積層方向に延びる貫通転位Mを $1 \times 10^8 \sim 1 \times 10^9$ 個/ cm^2 程度有している。ま

10 た、下地層3の表面はほぼ平坦となっている。

【0019】この下地層3の上には、複数の開口部4cがそれぞれ設けられた2層以上のマスク層(ここでは第1のマスク層4aと第2のマスク層4b)と、これら各マスク層4a、4bを介してそれぞれ選択的に成長された2層以上の選択成長層(ここでは第1の選択成長層5aと第2の選択成長層5b)とが、交互に積層されている。これは、各マスク層4a、4bの上において各選択成長層5a、5bをそれぞれ横方向(積層方向と垂直な方向)に選択的に成長させることにより、下地層3から積層方向に貫通転位Mが伝わるのを遮断するためである(図2参照)。これにより、最上層の選択成長層(こ

20 ここでは第2の選択成長層5b)における貫通転位Mの密度は下地層3に比べて低く、 1×10^3 個/ cm^2 程度以下となっている。なお、以下、2層のマスク層(第1のマスク層4aおよび第2のマスク層4b)が形成された場合について具体的に説明する。

【0020】第1のマスク層4aおよび第2のマスク層4bは、例えば、厚さが100~200nmであり、二酸化ケイ素や窒化ケイ素(Si_3N_4)や酸化アルミニウム(Al_2O_3)などの誘電体によりそれぞれ構成されている。第1のマスク層4aおよび第2のマスク層4bは、また、例えば<11-20>方向(図1においては図面に対して垂直な方向)に延長された複数の帯状のマスク部4dをそれぞれ有している(すなわち、各マスク部4dの間に<11-20>方向に延長された複数の帯状の開口部4cをそれぞれ有している)。第1のマスク層4aおよび第2のマスク層4bにおけるマスク部4dの幅(マスク幅)L1は例えば1.5~4 μ mであり、ピッチ幅L2は例えば3~6 μ mである。なお、マスク幅L1およびピッチ幅L2は図2において矢印で示したとおりである。また、第1のマスク層4aと第2のマスク層4bのマスク幅L1とピッチ幅L2はそれぞれ同一となっている。

【0021】但し、第1のマスク層4aと第2のマスク層4bは開口部4cの形成位置が異なっており、第1のマスク層4aの開口部4cは積層方向から見て第2のマスク層4bのマスク部4dにより完全に覆われるようになっている。これは、第1のマスク層4aの開口部4cを介して下地層3から引き続く貫通転位Mを、第2のマスク層4bのマスク部4dにより遮断するためである

(図2参照)。従って、第1のマスク層4aおよび第2のマスク層4bにおけるマスク幅L1は開口部4cの幅(開口幅)L3よりも広い方が好ましい。貫通転位Mを有効に遮断するためである。なお、開口幅L3は図2において矢印で示したとおりである。

【0022】第1の選択成長層5aおよび第1の選択成長層5bは、例えば、Ga_{0.5}Nによりそれぞれ構成されており、それらを合わせた厚さが10nm以下(例えば7~8μm程度)と比較的薄くなっている。これは、開口部4cの形成位置が異なる第1のマスク層4aと第2のマスク層4bとを積層することにより、選択成長により生ずる第1の選択成長層5aの窪みの部分を第2の選択成長層5bにより優先的に成長させることができるので、厚く積層しなくても表面を平坦化することができるからである。

【0023】なお、第1の選択成長層5の厚さはできるだけ薄い方が好ましく、横方向の選択成長により第1のマスク層4aのマスク部4dが完全に覆われていれば十分である。すなわち、表面が平坦でなく、開口部4cの上方に位置する領域が突起し、マスク部4dの上方に位置する領域が窪んでいる状態でもよい。厚さが厚くなると、成長に時間を要すると共に、サファイアよりなる基板1との格子不整合による欠陥の発生や反りなどの問題が発生するからである。また、第2の選択成長層5bの厚さは、表面が平坦となるのに十分な厚さであることが好ましい。その上に良好な半導体層を成長させることができるようにするためである。

【0024】第2の選択成長層5bの上には、半導体層としてn側コンタクト層6、第1導電型クラッド層としてのn型クラッド層7、第1のガイド層8、活性層9、劣化防止層10、第2のガイド層11、第2導電型クラッド層としてのp型クラッド層12およびp側コンタクト層13が順次積層されている。

【0025】n側コンタクト層6は、例えば、厚さが2μmであり、n型不純物としてケイ素(Si)を添加したn型Ga_{0.5}Nにより構成されている。n型クラッド層7は、例えば、厚さが0.5μmであり、n型不純物としてケイ素を添加したn型AlGa_{0.5}N混晶により構成されている。第1のガイド層8は、例えば、厚さが0.1μmであり、n型不純物としてケイ素を添加したn型Ga_{0.5}Nにより構成されている。活性層9は、例えば、井戸の厚さが3nmでありバリア層の厚さが4nmの多重量子井戸構造を有するGa_{0.5}In_{0.5}N混晶により構成されている。

【0026】劣化防止層10は、例えば、厚さが20nmのAlGa_{0.5}Nにより構成されている。第2のガイド層11は、例えば、厚さが0.1nmであり、p型不純物としてマグネシウム(Mg)を添加したp型Ga_{0.5}Nにより構成されている。p型クラッド層12は、例えば、厚さが0.5nmであり、p型不純物としてマグネシウム

を添加したp型AlGa_{0.5}N混晶により構成されている。p側コンタクト層13は、例えば、厚さが0.5nmであり、p型不純物としてマグネシウムを添加したp型Ga_{0.5}N混晶により構成されている。

【0027】p側コンタクト層13の上には、二酸化ケイ素などの絶縁材料よりなる絶縁層14と共に、この絶縁層14に設けられた開口14aを介してp側電極15が形成されている。p側電極15は、p側コンタクト層13の側からニッケル(Ni)と金(Au)が順次積層された構成となっている。なお、このp側電極15は、電流狭窄をするために細い帯状(図1においては図面に対して垂直方向に延長された帯状)に形成されている。また、n側コンタクト層6の上には、n側コンタクト層6の側からチタン(Ti)、アルミニウム(Al)および金(Au)が順次積層されたn側電極16が設けられている。

【0028】この半導体発光素子は、また、図示はしないが、p側電極15の長さ方向(すなわち共振器長方向)と垂直な一対の側面に、反射鏡層がそれぞれ設けられている。

【0029】このような構成を有する半導体発光素子は、次のようにして製造することができる。図3はその一製造方法における工程の一部を表すものである。

【0030】この製造方法では、まず、基板1を用い、例えばMOCVD法により、C面上にGa_{0.5}Nよりなるバッファ層2を形成する。その際、例えば、基板1の温度は520℃とし、原料ガスにはトリメチルガリウムガス((CH₃)₃Ga)とアンモニアガス(NH₃)を用いる。次いで、バッファ層2の上に、例えばMOCVD法により、同様にGa_{0.5}Nよりなる下地層3を形成する。但し、基板1の温度は1020℃とする。なお、この下地層3には図3(a)において細線で示したように高濃度の貫通転位Mが存在している。

【0031】続いて、下地層3の上に、例えばCVD(Chemical Vapor Deposition)法により、基板1の温度を450℃として、SiO₂よりなる第1のマスク層4aを形成する。そののち、その上に、図示しないレジスト膜を塗布してフォトリソグラフィにより複数の平行な帯状のマスクパターンを形成し、これをマスクとしてエッチングを行い第1のマスク層4aを選択的に除去して、<11-20>方向に延長された帯状の複数のマスク部4dと複数の開口部4cとをそれぞれ形成する。

【0032】第1のマスク層4aを形成したのち、アセトン(CH₃COCH₃)とメタノール(CH₃OH)により洗浄を行い、更に、希釈した塩酸(HCl)または希釈したフッ酸(HF)に10秒程度浸したのち、純水により洗浄を行う。

【0033】そののち、第1のマスク層4aの上に、例えばハライド気相成長法により、Ga_{0.5}Nよりなる第1の選択成長層5aを横方向に選択的に成長させる。こ

で、ハライド気相成長法とは、ハロゲンが輸送もしくは反応に寄与する気相成長法を言う（なお、ハライド気相成長法はハイドライド気相成長法とも言う）。その際、例えば、基板1の温度は1000℃とし、原料にはアンモニアと金属ガリウムと塩酸とを用いる。具体的には、例えば、2リットル/分の流量でアンモニアガスを流しながら、基板1を1000℃まで加熱したのち、金属ガリウム上に塩酸ガスを流し、塩化ガリウム（GaCl）ガスを供給する。GaClガスの供給条件は、成長速度が20μm/時程度となるようにする。

【0034】これにより例えば9分間成長を行うと、図3（a）に示したように、第1のマスク層4aの開口部4cの上方において{1-101}面に囲まれた山形に突起した第1の選択成長層5aが形成される。ここで、第1の選択成長層5aのうち第1のマスク層4aの開口部4cの上方に位置する領域では、下地層3からの貫通転位MがC軸方向（すなわち積層方向）に沿って引き継がれるので、下地層3と同様に貫通転位Mが発生する。一方、第1の選択成長層5aのうちマスク部4dの上方に位置する領域では、横方向に成長が起こるので、下地層3からの貫通転位Mは伝わらず、貫通転位Mは発生しない。なお、第1の選択成長層5aの成長時間は、第1の選択成長層5aが横方向に選択的に成長してマスク部4dの上を完全に覆い更に少し成長する程度の時間とすることが好ましい。

【0035】第1の選択成長層5aを形成したのち、図3（b）に示したように、その上に、第1のマスク層4aと同様にして第2のマスク層4bを形成すると共に、複数のマスク部4dと複数の開口部4cとをそれぞれ形成する。但し、第2のマスク層4bにおいては、開口部4cを第1のマスク層4aと異なった位置に形成し、第1のマスク層4aの開口部4cを積層方向から見て第2のマスク層4bのマスク部4dで完全に覆うようにする。すなわち、第1のマスク層4aの開口部4cの上に第2のマスク層4bのマスク部4dが位置し、第1のマスク層4aのマスク部4dの上に第2のマスク層4bの開口部4cが位置するようにする。これにより、第2のマスク層4bの開口部4cが第1の選択成長層5aの窪みに対応して形成される。

【0036】第2のマスク層4bを形成したのち、アセトンとメタノールにより洗浄を行い、更に、希釈した塩酸または希釈したフッ酸に10秒程度浸したのち、純水により洗浄を行う。

【0037】そののち、第2のマスク層4bの上に、第1の選択成長層5aと同様にして、第2の選択成長層5bを横方向に選択的に成長させる。これにより例えば16分間成長を行うと、図3（c）に示したように、第2のマスク層4bの開口部4cの上方において第1の選択成長層5aの窪みを埋めるように優先的に成長が起こり、表面がほぼ平坦な第2の選択成長層5bが形成され

る。すなわち、第1の選択成長層5aおよび第2の選択成長層5bを厚く成長させなくても、表面が平坦となる。

【0038】ここで、第2の選択成長層5bのうち第2のマスク層4bのマスク部4dの上方に位置する領域では、横方向に成長が起こるので、第1のマスク層4aの開口部4cを介して下地層3から引き継がれた第1の選択成長層5aの貫通転位Mは遮断され、貫通転位Mは発生しない。また、第2の選択成長層5bのうち第2のマスク層4bの開口部4bの上方に位置する領域でも、その下の第1の選択成長層5aの領域に貫通転位Mが存在していないので、貫通転位Mは発生しない。すなわち、第2の選択成長層5aでは全面において貫通転位Mが発生しない。

【0039】なお、第2の選択成長層5bの成長時間は、表面が平坦になるように十分な時間とすることが好ましい。ちなみに、ここで示した条件により第1の選択成長層5aおよび第1の選択成長層5bをそれぞれ成長させる場合には、2層合わせて約8μm程度の厚さで表面がほぼ平坦となる。

【0040】このようにして第2の選択成長層5bを形成したのち、その上に、例えばMOCVD法により、各半導体層、すなわちn側コンタクト層6、n型クラッド層7、第1のガイド層8、活性層9、第2の活性層10、p型クラッド層12およびp側コンタクト層13をそれぞれ成長させる。その際、例えば、基板1の温度は800～1000℃とし、アルミニウムの原料ガスとしてはトリメチルアルミニウムガス（ $(CH_3)_3Al$ ）、ガリウムの原料ガスとしてはトリメチルガリウムガス、窒素の原料ガスとしてはアンモニアガス、ケイ素の原料ガスとしてはモノシランガス（ SiH_4 ）、マグネシウムの原料ガスとしてはビス＝メチルシクロペンタジェニルマグネシウムガス（ $MeCp_2Mg$ ）やビス＝シクロペンタジェニルマグネシウムガス（ Cp_2Mg ）をそれぞれ用いる。なお、これらの各半導体層には、第2の選択成長層5bに貫通転位Mが存在していないので、貫通転位Mは発生しない。

【0041】各半導体層をそれぞれ形成したのち、p側コンタクト層13の上に、例えばCVD法により、 SiO_2 よりなる絶縁層14を形成する。次いで、絶縁層14の上に、図示しないレジスト膜を塗布し、フォトリソグラフィによってp側電極15の形成位置に対応したマスクパターンを形成する。そののち、これをマスクとしてエッチングを行い、絶縁層14を選択的に除去してp側電極15の形成位置に対応した開口14aを形成する。

【0042】続いて、全面（すなわち絶縁層14が選択的に除去されたp側コンタクト層13の上および図示しないレジスト膜の上）に、例えば、ニッケルおよび金を順次蒸着し、図示しないレジスト膜をこのレジスト膜の

上に蒸着されたニッケルおよび金と共に除去して（リフトオフ）、p側電極15を形成する。

【0043】p側電極15を形成したのち、n側電極16の形成位置に対応して、絶縁層14、p側コンタクト層13、p型クラッド層12、第2のガイド層11、劣化防止層10、活性層9、第1のガイド層8およびn型クラッド層7を順次選択的に除去する。そののち、n側コンタクト層6の上にチタン、アルミニウムおよび金を選択的に順次蒸着してn側電極16を形成する。

【0044】n側電極16を形成したのち、基板1をp側電極15の長さ方向（共振器長方向）と垂直に所定の幅で劈開し、その劈開面に反射鏡層を形成する。これにより、図1に示した半導体発光素子が形成される。

【0045】また、この半導体発光素子は、次のようにしても製造することができる。図4はその他の製造方法における工程の一部を表すものである。

【0046】この製造方法では、まず、基板1を用意し、先の製造方法と同様に、バッファ層2と下地層3を形成する。次いで、下地層3の上に、先の製造方法と同様に、第1のマスク層4aを形成したのち、複数のマスク部4dと複数の開口部4cとをそれぞれ形成し、洗浄する。

【0047】続いて、第1のマスク層4aの上に、例えばMOCVD法により、Ga_{0.5}N_{0.5}よりなる第1の選択成長層5aを横方向に選択的に成長させる。その際、例えば、基板1の温度は1050℃とし、原料ガスにはアンモニアガスとトリメチルガリウムガスを用いる。具体的には、例えば、10リットル/分と多めの流量でアンモニアガスを流しながら、成長速度が4μm/時程度となるようにトリメチルガリウムガスを供給し、常圧下において反応させる。

【0048】これにより例えば45分間成長を行うと、図4（a）に示したように、第1のマスク層4aの開口部4cの上方に位置する領域が若干膨らんだほぼ平坦な第1の選択成長層5aが形成される。ここで、第1の選択成長層5aのうち第1のマスク層4aの開口部4cの上方に位置する領域では、先の製造方法と同様に、下地層3からの貫通転位Mが引き継がれ貫通転位Mが発生する。一方、第1の選択成長層5aのうちマスク部4dの上方に位置する領域では、先の製造方法と同様に、横方向への成長により下地層3からの貫通転位Mは遮断され、貫通転位Mは発生しない。

【0049】第1の選択成長層5aを形成したのち、図4（b）に示したように、その上に、先の製造方法と同様に、第2のマスク層4bを形成すると共に、複数のマスク部4dと複数の開口部4cとをそれぞれ形成し、洗浄する。

【0050】そののち、第2のマスク層4bの上に、第1の選択成長層5aと同様に、第2の選択成長層5bを横方向に選択的に成長させる。これにより例えば1

時間成長を行うと、図4（c）に示したように、表面がほぼ平坦な第2の選択成長層5bが形成される。ここで、第2の選択成長層5bのうち第2のマスク層4bのマスク部4dの上方に位置する領域では、先の製造方法と同様に、第1のマスク層4aの開口部4cを介して下地層3から引き継がれた第1の選択成長層5aの貫通転位Mは遮断され、貫通転位Mは発生しない。また、第2の選択成長層5bのうち開口部4bの上方に位置する領域でも、先の製造方法と同様に、その下の第1の選択成長層5の領域に貫通転位Mが存在していないので、貫通転位Mは発生しない。すなわち、第2の選択成長層5bでは全面において貫通転位Mが発生しない。ちなみに、ここで示した条件により第1の選択成長層5aおよび第2の選択成長層5bをそれぞれ成長させる場合には、2層合わせて約7μm程度の厚さで表面がほぼ平坦となる。

【0051】このようにして第2の選択成長層5bを形成したのち、先の製造方法と同様に、各半導体層、すなわちn側コンタクト層6、n型クラッド層7、第1のガイド層8、活性層9、第2の活性層10、p型クラッド層12およびp側コンタクト層13をそれぞれ成長させる。そののち、先の製造方法と同様に、絶縁層14、p側電極15およびn側電極16を形成し、所定の幅で劈開して反射鏡層を形成する。これにより、図1に示した半導体発光素子が形成される。

【0052】このようにして製造した半導体発光素子は、次のように作用する。

【0053】この半導体発光素子では、n側電極16とp側電極15との間に所定の電圧が印加されると、活性層9に電流が注入され、電子-正孔再結合により発光が起こる。ここでは、基板1と半導体層（n側コンタクト層6、n型クラッド層7、第1のガイド層8、活性層9、劣化防止層10、第2のガイド層11、p型クラッド層12およびp側コンタクト層13）との間に、第1のマスク層4aおよび第2のマスク層4bと第1の選択成長層5aおよび第2の選択成長層5bを交互に備えているので、これらにより積層方向に貫通転位Mが伝わるのが遮断され、半導体層における貫通転位Mの密度が低くなっている。よって、電圧の印加による劣化が起こりにくく、使用による動作電圧の上昇が抑えられ、素子の寿命が長くなる。

【0054】このように本実施の形態に係る半導体発光素子によれば、第1のマスク層4aおよび第2のマスク層4bと第1の選択成長層5aおよび第2の選択成長層5bを交互に備えるようにしたので、第1の選択成長層5aおよび第2の選択成長層5bの厚さを薄くすることができると共に、全面において貫通転位Mの密度を低減することができる。よって、サファイアよりなる基板1との格子不整合による欠陥や反りの発生を防止することができ、素子の品質を保持することができると共に、使

用による動作電圧の上昇を抑えることができ、素子の寿命を延長させることができる。

【0055】また、この半導体発光素子によれば、第1のマスク層4aの開口部4cを積層方向において第2のマスク層4bのマスク部4dで完全に覆うようにしたので、下地層3から貫通転位Mが伝わることを有効に遮断することができる。

【0056】更に、本実施の形態に係る半導体発光素子の製造方法によれば、第1のマスク層4aおよび第2のマスク層4bと第1の選択成長層5aおよび第2の選択成長層5bを交互に積層したのち、各半導体層（n側コンタクト層6、n型クラッド層7、第1のガイド層8、活性層9、第2の活性層10、p型クラッド層12およびp側コンタクト層13）をそれぞれ積層するようにしたので、第1の選択成長層5aおよび第2の選択成長層5bの厚さを薄くすることができると共に、全面において貫通転位Mの密度を低減することができる。よって、成長時間を短縮することができ、製造効率を向上させることができると共に、発光領域の形成位置が限定されることなく、製造における自由度が大きくなり、容易に本発明の半導体発光素子を製造することができる。

【0057】加えて、第2の選択成長層5bをその上に積層する半導体層と同一の方法（本実施の形態ではMOCVD法）により形成すれば、それらを連続して成長させることができ、不純物の混入を防止することができると共に、製造工程を簡素化することができる。

【0058】（第2の実施の形態）図5は本発明の第2の実施の形態に係る半導体発光素子を表すものである。この第2の実施の形態は、基板1がn型不純物として例えばケイ素を添加したn型の単結晶Ga_{0.5}Nにより構成されると共に、n側電極16が基板1の裏面に形成され、かつ基板1の上に直接第1のマスク層4aが形成され、更に第2の選択成長層5bとn型クラッド層7との間に下地層21を備えたことを除き、第1の実施の形態と同一の構成を有している。よって、ここでは、同一の構成要素には同一の符号を付し、その詳細な説明を省略する。

【0059】すなわち、この半導体発光素子は、基板1を導電性の材料で構成し、n側電極16を基板1の裏面に形成するようにしたものである。また、基板1をその上に形成する半導体層と同様のIII族ナイトライド化合物半導体で構成し、基板1の上に直接第1のマスク層4aおよび第1の選択成長層5aを積層できるようになっている。なお、選択成長層5aは、第1の実施の形態とは異なり導電性が必要なので、n型不純物として例えばケイ素を添加したn型Ga_{0.5}Nにより構成されている。また、下地層21は、例えば、n型不純物としてケイ素を添加したn型Ga_{0.5}Nにより構成されている。

【0060】このような構成を有する半導体発光素子は、第1の実施の形態と同様にして製造することができ

ると共に、第1の実施の形態と同様に作用し、第1の実施の形態と同一の効果を有する。

【0061】以上、各実施の形態を挙げて本発明を説明したが、本発明は上記各実施の形態に限定されるものではなく、種々の変形が可能である。例えば、上記各実施の形態においては、バッファ層2、下地層3、21、選択成長層5、n側コンタクト層6、n型クラッド層7、第1のガイド層8、活性層9、劣化防止層10、第2のガイド層11、p型クラッド層12およびp側コンタクト層13をそれぞれ構成する半導体について具体的な例を挙げて説明したが、本発明は、他の適宜な半導体により各層をそれぞれ構成する場合にも適用することができる。但し、本発明は、適宜なIII族ナイトライド化合物半導体（すなわち、ガリウム、アルミニウム、ホウ素およびインジウムからなる群より選ばれた少なくとも1種のIII族元素と、窒素とを含むIII族ナイトライド化合物半導体）により各層をそれぞれ構成する場合において、特に有効である。

【0062】また、上記各実施の形態においては、2層のマスク層（第1のマスク層4aおよび第2のマスク層4b）を備えた場合について具体的に説明したが、3以上のマスク層を備える場合にも同様に構成することができ、同様にして製造することができる。但しその場合、上記各実施の形態においては、第1のマスク層4aの開口部4cを積層方向から見て第2のマスク層4bのマスク部4dにより完全に覆うようにしたが、複数のマスク層のマスク部により完全に覆うようにしてもよい。すなわち、少なくとも1層のマスク層は、他の少なくとも1層のマスク層と開口部の形成位置が異なっており、開口部が積層方向から見て他の少なくとも1層のマスク層のマスク部により完全に覆われるようになっていればよい。

【0063】更に、上記各実施の形態においては、第1のマスク層4aおよび第2のマスク層4bに帯状の開口部4cとマスク部4dをそれぞれ設けるようにしたが、開口部4cおよびマスク部4dの形状はどのようなものでもよく、少なくとも1層のマスク層の開口部が積層方向から見て他の少なくとも1層のマスク層のマスク部により完全に覆われればよい。

【0064】加えて、上記各実施の形態においては、第1のマスク層4aおよび第2のマスク層4bを誘電体により構成するようにしたが、第1の選択成長層5aおよび第1の選択成長層5bが積層方向に成長することを阻止できるものであればその他の材料により構成するようにしても良い。

【0065】更にまた、上記第1の実施の形態においては、第1のマスク層4aおよび第1の選択成長層5aを下地層3の上にそれぞれ形成するようにしたが、バッファ層2の上にそれぞれ形成するようにしてもよい。

【0066】加えてまた、上記各実施の形態において

は、活性層9を第1のガイド層8と第2のガイド層22とで挟み、更にそれをn型クラッド層7とp型クラッド層12とで挟んだ半導体発光素子について説明したが、本発明は、活性層をガイド層を挿入せずにクラッド層で挟んだものなど種々の構造を有する半導体発光素子に対して適用することができる。

【0067】更にまた、上記各実施の形態においては、半導体発光素子として半導体レーザを具体的に挙げて説明したが、本発明は、LEDなどのその他の半導体発光素子についても適用することができる。また、上記各実施の形態においては、半導体発光素子についてののみ説明したが、本発明は、FET (Field Effect Transistor ; 電界効果トランジスタ) などのその他の半導体素子についても適用することができる。

【0068】加えてまた、上記各実施の形態においては、第1の選択成長層5aおよび第2の選択成長層5bをMOCVD法やハライド気相成長法により成長させる場合について説明したが、分子線エピタキシー (Molecular Beam Epitaxy ; MBE) 法などの他の気相成長法により成長させるようにしてもよい。また、上記各実施の形態においては、バッファ層2、下地層3、21、n側コンタクト層6、n型クラッド層7、第1のガイド層8、活性層9、劣化防止層10、第2のガイド層11、p型クラッド層12およびp側コンタクト層13をMOCVD法によりそれぞれ形成する場合について説明したが、MBE法やハライド法などの他の気相成長法により形成するようにしてもよい。

【0069】更にまた、上記各実施の形態においては、第1の選択成長層5aおよび第2の選択成長層5bを成長させる際の条件について具体的な例を挙げて説明したが、その他種々の条件により成長させるようにしてもよい。例えば、ハライド気相成長法により成長させる場合にも、上記第1の実施の形態とは異なった条件とすることにより、上記第2の実施の形態において示したように表面が比較的平坦な第2の選択成長層5bを成長させることができる。なお、このように比較的平坦な表面を有する第2の選択成長層5bを成長させれば、その上にマスク層4a、4bを容易に形成することができるので好ましい。

【0070】

【発明の効果】以上説明したように請求項1乃至10のいずれか1に記載の半導体素子によれば、マスク層と選択成長層とをそれぞれ2層以上交互に備えるようにしたので、選択成長層の厚さを薄くすることができると共に、全面において貫通転位の密度を低減することができる。よって、例えばサファイアよりなる基板との格子不

整合による欠陥や反りの発生を防止することができ、素子の品質を保持することができると共に、貫通転位の減少による素子の品質向上も図ることができるという効果を奏する。

【0071】また、請求項11乃至21のいずれか1に記載の半導体素子の製造方法によれば、マスク層と選択成長層とをそれぞれ2層以上交互に積層したのち、半導体層を積層するようにしたので、選択成長層の厚さを薄くすることができると共に、全面において貫通転位の密度を低減することができる。よって、成長時間を短縮することができ、製造効率を向上させることができると共に、製造における自由度が大きくなり、容易に本発明の半導体素子を製造することができるという効果を奏する。

【0072】更に、請求項22乃至31のいずれか1に記載の半導体発光素子によれば、本発明の半導体素子と同一の構成を備えるようにしたので、本発明の半導体素子と同様に、選択成長層の厚さを薄くすることができると共に、全面において貫通転位の密度を低減することができる。よって、例えばサファイアよりなる基板との格子不整合による欠陥や反りの発生を防止することができ、素子の品質を保持することができると共に、使用による動作電圧の上昇を抑えることができ、素子の寿命を延長させることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体発光素子の構成を表す断面図である。

【図2】図1に示した半導体発光素子の一部を拡大して表す断面図である。

【図3】図1に示した半導体発光素子の製造工程を表す断面図である。

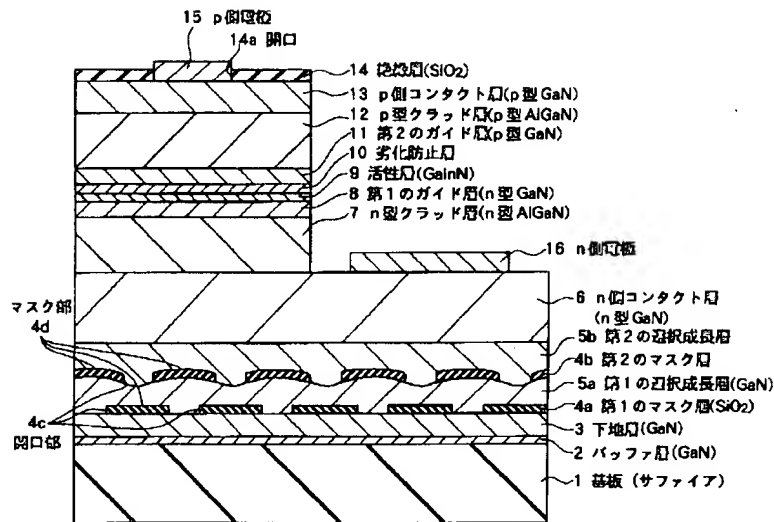
【図4】図1に示した半導体発光素子の他の製造工程を表す断面図である。

【図5】本発明の第2の実施の形態に係る半導体発光素子の構成を表す断面図である。

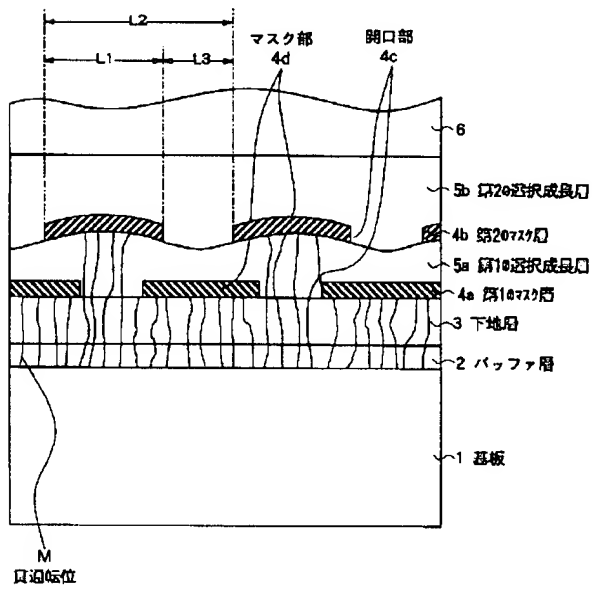
【符号の説明】

1…基板、2…バッファ層、3、21…下地層、4a…第1のマスク層、4b…第2のマスク層、4c…開口部、4d…マスク部、5a…第1の選択成長層、5b…第2の選択成長層、6…n側コンタクト層、7…n型クラッド層 (第1導電型クラッド層)、8…第1のガイド層、9…活性層、10…劣化防止層、11…第2のガイド層、12…p型クラッド層 (第2導電型クラッド層)、13…p側コンタクト層、14…絶縁層、15…p側電極、16…n側電極、M…貫通転位、L1…マスク幅、L2…ピッチ幅、L3…開口幅

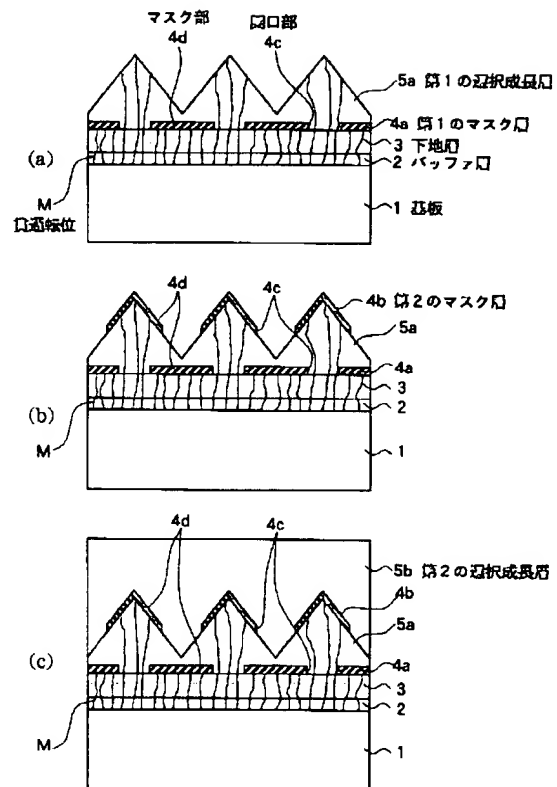
【図1】



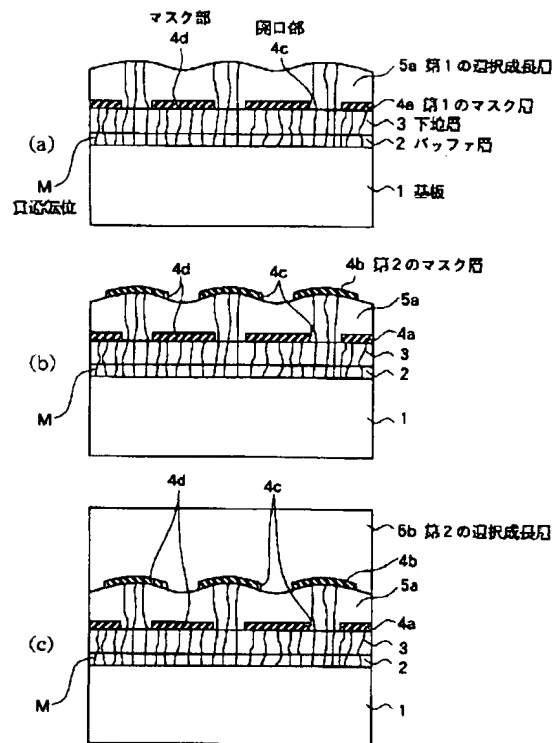
【図2】



【図3】



【図4】



【図5】

